

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-303565

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.⁶
H05K 3/46

1/02
9/00

識別記号

F I
H05K 3/46

1/02
9/00

Q
N
P
R

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21)出願番号 特願平9-112028
(22)出願日 平成9年(1997)4月30日

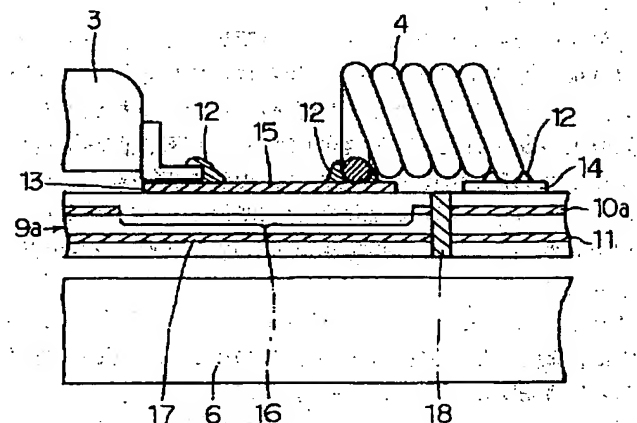
(71)出願人 000006231
株式会社村田製作所
京都府長岡京市天神二丁目26番10号
(72)発明者 小寺 貞男
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
(72)発明者 佐藤 文俊
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
(74)代理人 弁理士 小柴 雅昭 (外 1 名)

(54)【発明の名称】多層回路基板

(57)【要約】

【課題】 多層回路基板の各主面上に、高周波回路を構成するための電子部品や回路パターンのような回路要素がそれぞれ配置され、各主面上の回路要素間の電磁的干渉を防ぐために、これら主面間に位置するようにグラウンドパターンが形成されるとき、回路要素における高周波的にハイインピーダンスな部分とグラウンドパターンとの間に、不所望なストレー容量が形成されることがある。

【解決手段】 ストレージ容量を小さくするため、主面上の回路要素13に最も近いグラウンドパターン10aに窓16を形成し、この窓16が、回路要素13における高周波的にハイインピーダンスな部分15と対向するようにする。好ましくは、他のグラウンドパターン11を窓16と重なり合うように形成し、また、グラウンドパターン10aとグラウンドパターン11とをスルーホール18を介して電気的に接続する。



【特許請求の範囲】

【請求項 1】 高周波回路を構成するための回路要素が各主面上にそれぞれ配置され、かつ各前記主面上の前記回路要素間の干渉を防ぐためのグラウンドパターンが前記主面間に位置された、多層回路基板において、前記グラウンドパターンは、前記回路要素における高周波的にハイインピーダンスな部分と対向する部分に窓を形成していることを特徴とする、多層回路基板。

【請求項 2】 前記グラウンドパターンは、前記主面間において複数層をなすように形成され、複数層の前記グラウンドパターンのうち、前記高周波的にハイインピーダンスな部分に最も近い第 1 のグラウンドパターンに前記窓が形成されている、請求項 1 に記載の多層回路基板。

【請求項 3】 前記第 1 のグラウンドパターン以外の少なくとも 1 層のグラウンドパターンは、前記窓と重なり合う部分を有している、請求項 2 に記載の多層回路基板。

【請求項 4】 前記第 1 のグラウンドパターンは、前記窓の周辺部において、少なくとも 1 つのスルーホールを介して当該第 1 のグラウンドパターン以外の少なくとも 1 層のグラウンドパターンと電気的に接続されている、請求項 2 または 3 に記載の多層回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、多層回路基板に関するもので、特に、電子チューナなどのための高周波回路を構成するのに適した多層回路基板に関するものである。

【0002】

【従来の技術】図 3 には、この発明にとって興味ある回路基板 1 を備えるチューナ 2 が示されている。このようなチューナ 2 において、回路基板 1 をもって構成される回路モジュールの小型化を図るため、高周波回路を構成するための回路要素、すなわち、複数の電子部品 3、4、5、6 および 7 等ならびに回路パターン（図 3 では図示しない。）は、回路基板 1 の各主面上にそれぞれ配置されている。

【0003】また、この回路基板 1 はシールドケース 8 内に内蔵され、それによって、このチューナ 2 の外部にある回路要素との干渉を防ぐようにしている。しかしながら、上述のように、高周波回路を構成するための複数の電子部品 3、4、5、6 および 7 等ならびに回路パターンのような回路要素を、回路基板 1 の各主面上に配置したとき、一方の主面上に配置された電子部品 3～5 等と他方の主面上に配置された電子部品 6 および 7 等とが、回路基板 1 を飛び越えて、互いに電磁的に干渉し、互いの間で妨害が不所望にも生じることがある。

【0004】上述の問題の対策として、図 4 に示すような多層回路基板 9 が用いられることが好ましい。図 4

は、多層回路基板 9 を備えるチューナ 2 a を示す、図 3 に相当する図である。図 4 において、図 3 に示した構成との対比を容易にするとともに重複する説明を省略するため、図 3 に示した要素に相当する要素には同様の参照符号を付している。

【0005】図 4 に示した多層回路基板 9 においては、たとえば 2 層のグラウンドパターン 10 および 11 が主面間に位置されている。この多層回路基板 9 によれば、グラウンドパターン 10 および 11 にシールド効果を持たせることができるので、上方主面上に配置された電子部品 3～5 等と下方主面上に配置された電子部品 6 および 7 等とが互いに干渉することを有利に防ぐことができる。

【0006】なお、多層回路基板 9 の内部には、上述したグラウンドパターン 10 および 11 の他、信号ラインや電源ラインが配置されることもある。

【0007】

【発明が解決しようとする課題】しかしながら、図 4 に示した構造を採用しても、以下のような問題に遭遇することがある。図 5 は、図 4 に示した多層回路基板 9 の一部を示す平面図であり、図 6 は、図 5 の線 V I - V I に沿う断面図である。図 5 および図 6 には、多層回路基板 9 の上方主面上に配置される、電子部品、たとえば IC 部品 3 の端子やコイル 4 の端子を、半田 12 によって半田付けして電気的接続するための回路パターン 13 および 14 等が図示されている。また、図 6 には、前述したグラウンドパターン 10 および 11 も図示されている。

【0008】図 6 によく示されているように、回路パターン 13 は、グラウンドパターン 10 の一部と対向している。このような対向の結果、この部分には、浮遊容量すなわちストレー容量が多かれ少なかれ生じる。また、図 5 によく示されているように、回路パターン 13 には、幅の比較的狭い部分、すなわち高周波的にハイインピーダンスな部分 15 が存在している。このように、高周波的にハイインピーダンスな部分 15 は、特にストレー容量の影響を受けやすい。

【0009】たとえば、このような多層回路基板 9 を用いて、図 7 (a) に示すような可変同調回路を構成する場合、上述したストレー容量が存在すると、図 7 (b) に示すように、バラクタダイオード等による静電容量を含む可変容量 C v に対して、このストレー容量 C s が並列に接続されたのと等価となる。そのため、次のような問題が引き起こされる。

【0010】可変容量 C v の容量変化比が小さくなり、同調回路として必要な周波数可変範囲が得られないことがある。また、ストレー容量 C s が生じて、同じ共振周波数を得るためには、インダクタンス L を小さくする必要があり、インダクタンス L を小さくすると、回路インピーダンスや Q が低下し、広帯域にわたって高周波特性を維持することが困難となる。

【0011】なお、ストレー容量Csを小さくする方法として、図6において、回路パターン13とグラウンドパターン10との間隔を広くしたり、当該間隔に存在する材料の比誘電率を小さくすることも考えられるが、前者の対策はチューナ等の部品の薄型化を阻害し、また、後者の対策は大幅なコストアップを招くので、いずれも有効な対策とは言えない。

【0012】そこで、この発明の目的は、上述した問題を解決し得る多層回路基板を提供しようとするところである。

【0013】

【課題を解決するための手段】この発明は、高周波回路を構成するための回路要素が各主面上にそれぞれ配置され、かつ各主面上の回路要素間の干渉を防ぐためのグラウンドパターンが主面間に位置された、多層回路基板に向けられるものであって、上述した技術的課題を解決するため、グラウンドパターンが、回路要素における高周波的にハイインピーダンスな部分と対向する部分において窓を形成していることを特徴としている。

【0014】この発明において、グラウンドパターンが主面間において複数層をなすように形成されるとき、複数層のグラウンドパターンのうち、上述した高周波的にハイインピーダンスな部分に最も近いグラウンドパターンに窓が形成されることが好ましい。また、上述のように、グラウンドパターンが主面間において複数層をなすように形成されるとき、上述の窓が形成されたグラウンドパターン以外の少なくとも1層のグラウンドパターンは、窓と重なり合う部分を有していることが好ましい。

【0015】また、同じく、グラウンドパターンが主面間において複数層をなすように形成されるとき、上述の窓が形成されたグラウンドパターンは、窓の周辺部において、少なくとも1つのスルーホールを介して当該グラウンドパターン以外の少なくとも1層のグラウンドパターンと電気的に接続されていることが好ましい。

【0016】

【発明の実施の形態】図1は、この発明の一実施形態による多層回路基板9aの一部を示す平面図であり、図2は、図1の線I-Iに沿う断面図である。なお、これら図1および図2は、それぞれ、図5および図6に相当する図であって、図1および図2において、図5または図6に示した要素に相当する要素には、同様の参照符号を付している。

【0017】この多層回路基板9aにおいても、図5および図6に示した多層回路基板9と同様、高周波回路を構成するための回路要素が各主面上に配置されている。図1および図2では、このような回路要素として、多層回路基板9aの上方主面上に配置される電子部品すなわちIC部品3およびコイル4ならびに回路パターン13および14等が図示されているとともに、多層回路基板9aの下方主面上に配置される電子部品すなわちIC部

品6が図示されている。これらIC部品3およびコイル4等の電子部品の各端子は、半田12によって、回路パターン13および14等に半田付けされている。

【0018】また、この多層回路基板9aにおいても、前述した多層回路基板9と同様、上方主面上の回路要素3、4、13および14等と下方主面上の回路要素6等との間の干渉を防ぐための2層のグラウンドパターン10aおよび11が、これら主面間に位置されている。たとえば、回路パターン13は、高周波的にハイインピーダンスな部分15を含んでいる。この実施形態の特徴的構成として、この部分15に最も近い、すなわち、この部分15との間で無視できないストレー容量を最も形成しやすい、グラウンドパターン10aには、窓16が形成されている。図1において、窓16の位置が破線で示されている。この窓16は、グラウンドパターン10aにおける、高周波的にハイインピーダンスな部分15の真下であって、当該部分15と対向する部分に形成されている。

【0019】このように、グラウンドパターン10aに窓16を形成することによって、高周波的にハイインピーダンスな部分15とグラウンドパターン10aとの間に形成される可能性のあるストレー容量を極めて小さくすることができる。また、窓16が形成されたグラウンドパターン10a以外のグラウンドパターンであるグラウンドパターン11には、この窓16と重なり合う部分17を有していることが好ましい。このグラウンドパターン11における、窓16と重なり合う部分17は、窓16の形成のために生じ得る多層回路基板9aの各主面上の回路要素間の干渉を防ぐように機能する。

【0020】なお、上述の部分17は、窓16を通して、高周波的にハイインピーダンスな部分15と対向することになるので、これらの部分15および17間においてもストレー容量が形成されることは避けられない。しかしながら、部分15を有する回路パターン13から部分17を有するグラウンドパターン11までの距離は、回路パターン13からグラウンドパターン10aまでの距離に比べて長くなるので、部分15および17間に形成され得るストレー容量は、無視できるほどに小さいものとすることができる。

【0021】また、この実施形態では、窓16が形成されたグラウンドパターン10aは、他のグラウンドパターン11とスルーホール18を介して電気的に接続されている。スルーホール18は、窓16の周辺部に位置されている。このように、スルーホール18を介してグラウンドパターン10aおよび11を互いに接続することによって、グラウンドインピーダンスを下げることができ、シールド効果を高めることができる。

【0022】なお、上述したスルーホール18は、窓16の周辺部において、複数箇所に分布して複数個設けられてもよい。以上、この発明を図示した実施形態に関連

して説明したが、この発明の範囲内において、その他、種々の変形が可能である。たとえば、図示した多層回路基板 9 a において採用された回路設計は、この発明のより容易な理解を可能とする一典型例にすぎず、この発明は、その他、種々の回路設計を有する多層回路基板にも適用することができる。

【0023】これに関して、図示した多層回路基板 9 a は、その内部に 2 層のグラウンドパターン 10 a および 11 を形成していたが、このようなグラウンドパターンは、単に 1 層であっても、3 層以上であってもよい。また、多層回路基板の内部には、グラウンドパターンの他、信号ラインや電源ライン等を配置してもよい。

【0024】

【発明の効果】以上のように、この発明によれば、高周波回路を構成するための回路要素が各主面上にそれぞれ配置され、かつ各主面上の回路要素間の干渉を防ぐためのグラウンドパターンが主面間に位置された、多層回路基板において、グラウンドパターンが、回路要素における高周波的にハイインピーダンスな部分と対向する部分において窓を形成しているため、高周波的にハイインピーダンスな部分とグラウンドパターンとの間に形成される可能性のあるストレー容量を極めて小さくすることができる。

【0025】したがって、この発明が図 7 に示したような可変同調回路に適用された場合、バラクタダイオード等を含む合成の同調容量の容量可変範囲が大きくなり、共振周波数の可変範囲も拡大される。また、共振回路の合成容量値が小さくなることで、回路インピーダンスが適正となり、電力利得や雑音指数等の高周波特性が改善される。

【0026】この発明において、グラウンドパターンが主面間において複数層をなすように形成されるときには、複数層のグラウンドパターンのうち、上述した高周波的にハイインピーダンスな部分に最も近いグラウンドパターンに窓が形成されることが、上述したようなストレー容量の低減に対して、より効果的に貢献し得る。また、上述のように、グラウンドパターンが主面間において複数層をなすように形成されるとき、上述の窓が形成されたグラウンドパターン以外の少なくとも 1 層のグラ

ウンドパターンが、窓と重なり合う部分を有しているとき、この重なり合う部分を、窓の形成のために生じ得る多層回路基板の各主面上の回路要素間の干渉を防ぐように有効に機能させることができる。

【0027】また、同じく、グラウンドパターンが主面間において複数層をなすように形成されるとき、上述の窓が形成されたグラウンドパターンが、窓の周辺部において、少なくとも 1 つのスルーホールを介して当該グラウンドパターン以外の少なくとも 1 層のグラウンドパターンと電気的に接続されていると、各グラウンドパターンにおけるグラウンドインピーダンスを下げることで、シールド効果を高めることができる。

【図面の簡単な説明】

【図 1】この発明の一実施形態による多層回路基板 9 a の一部を示す平面図である。

【図 2】図 1 の線 I I - I I に沿う断面図である。

【図 3】この発明にとって興味ある従来の回路基板 1 を備えるチューナ 2 を示す正面図であり、シールドケース 8 の前面側の壁を除去して示している。

【図 4】この発明にとって興味ある従来の多層回路基板 9 を備えるチューナ 2 a を示す、図 3 に相当する正面図である。

【図 5】図 4 に示した多層回路基板 9 の一部を示す、図 1 に相当する平面図である。

【図 6】図 5 の線 V I - V I に沿う、図 2 に相当する断面図である。

【図 7】この発明にとって興味ある可変同調回路を示す回路図であり、(a) はストレー容量が形成されない場合、(b) はストレー容量 C_s が形成された場合を示す。

【符号の説明】

3 ~ 7 電子部品 (回路要素)

9 a 多層回路基板

10 a, 11 グラウンドパターン

13, 14 回路パターン (回路要素)

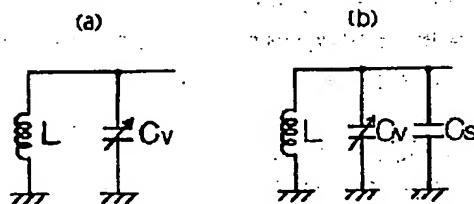
15 高周波的にハイインピーダンスな部分

16 窓

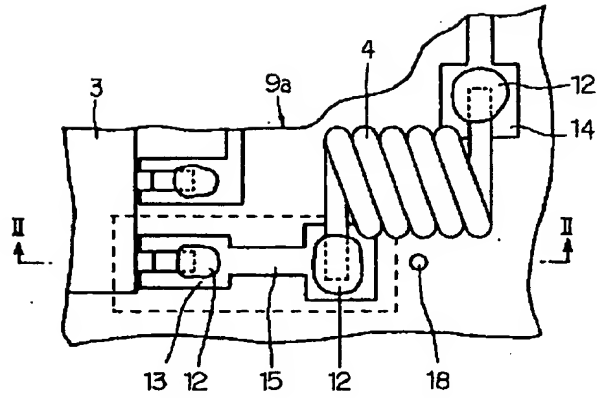
17 重なり合う部分

18 スルーホール

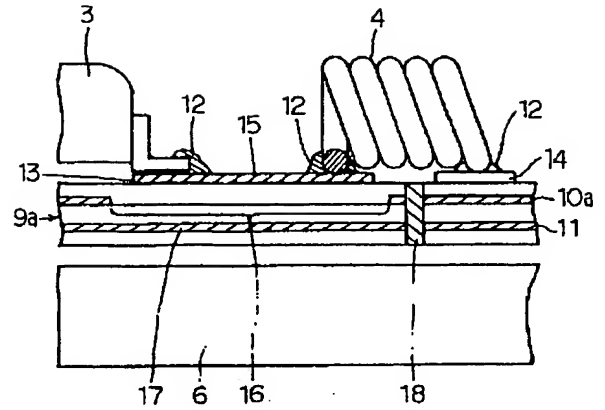
【図 7】



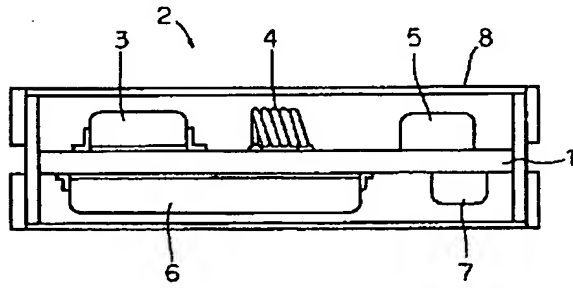
【図1】



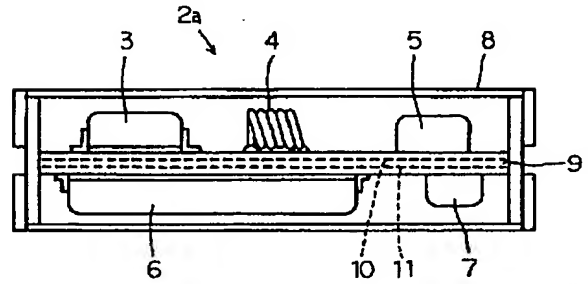
【図2】



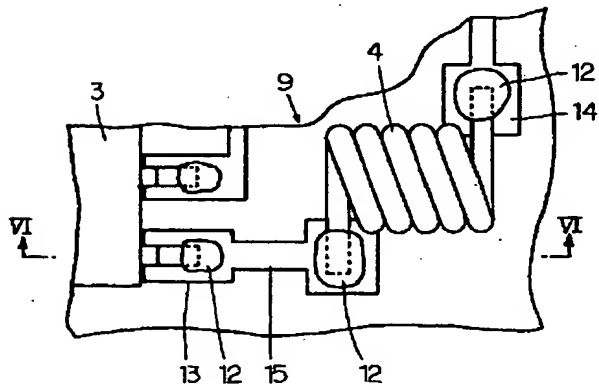
【図3】



【図4】



【図5】



【図6】

